

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日

2003年1月3日 (03.01.2003)

PCT

(10) 国際公開番号

WO 03/001591 A1

(51) 国際特許分類: H01L 21/82, 27/118 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社 日立製作所 中央研究所内 Tokyo (JP).

(21) 国際出願番号: PCT/JP01/05407

(22) 国際出願日: 2001年6月25日 (25.06.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社 日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐々木靖彦 (SASAKI, Yasuhiko) [JP/JP]. 鈴木 敬 (SUZUKI, Kei) [JP/JP]. 加藤直樹 (KATO, Naoki) [JP/JP]; 〒185-8601

(74) 代理人: 弁理士 小川勝男 (OGAWA, Katsuo); 〒103-0025 東京都中央区日本橋茅場町二丁目9番8号 友泉茅場町ビル 日東国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, US.

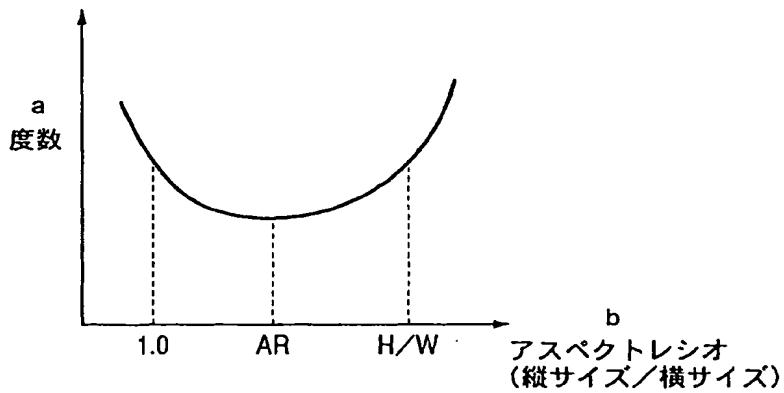
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイド」を参照。

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT, ITS DESIGNING METHOD, AND ITS DESIGNING SYSTEM

(54) 発明の名称: 半導体集積回路、その設計方法、およびその設計システム



a...FREQUENCY
b...ASPECT RATIO
(LONGITUDINAL SIZE/LATERAL SIZE)

WO 03/001591 A1

(57) Abstract: A semiconductor integrated circuit having high integration density, performance and production yield produced by designing a high-speed block having a layout aspect ratio of 1 or above and arranging low-speed blocks having both an aspect ratio of 1 or above and an aspect ratio of 1 or below utilizing the difference in the frequency of occurrence of parallel running wiring or crosstalk due to the layout aspect ratio and the difference in the operating speed of the logical block in a semiconductor integrated circuit, thereby reducing parallel running wiring or crosstalk while maintaining a high integration density. A method and a system for designing a semiconductor integrated circuit having high integration density, performance and production yield utilizing the difference in the frequency of occurrence of parallel running wiring or crosstalk due to such a layout aspect ratio are also provided.

(続葉有)



(57) 要約:

集積密度を高く維持したまま並走配線ないしクロストークを低減するために、レイアウトアスペクトレシオによる並走配線ないしクロストークの発生頻度の違いと半導体集積回路チップ内の論理ブロックの動作速度の違いを利用して、高速ブロックはレイアウトアスペクトレシオが1以上の形状とし、低速ブロックはレイアウトアスペクトレシオが1以上のものと、1以下のものが存在するようにブロックを配置することにより、集積密度、性能、製造歩留まりが高い半導体集積回路を提供する。さらに、上記のようなレイアウトアスペクトレシオによる並走配線ないしクロストークの発生頻度の違いを用いて、集積密度、性能、製造歩留まりが高い半導体集積回路を設計するための方法やそのための設計システムを提供する。

明細書

半導体集積回路、その設計方法、およびその設計システム

5 技術分野

本発明は、半導体集積回路、その設計方法、およびその設計システムに係わる、特に配線により論理回路への入出力が接続される構成を有する汎用プロセッサ、信号処理プロセッサ、ASIC (Application Specific Integrated Circuit)、ゲートアレイ、FPGA (Field Programmable Gate Array)、画像処理プロセッサ、半導体メモリ、システムモジュール、メモリモジュール、コンピュータシステム、携帯機器システム等への応用が可能なものである。

背景技術

従来より、MISFET (Metal-Insulator-Semiconductor FET) を主たる構成要素とするゲートアレイまたはスタンダードセルからなる回路ブロックを用いて論理回路を実現することが広く行なわれている。その際には、セルやブロックと呼ばれる一定の論理機能を持った大小の回路を半導体集積回路チップ上に配置後、各セルないしブロックの入出力端子を金属配線を用いて結線する方法が用いられる。設計の対象となる半導体集積回路チップ (システム LSI、ASIC、ゲートアレー、FPGA など) をより小さい面積で実現できれば経済的に有利となるため、上記のセルないしブロックや配線の集積密度または実装密度をできる限り大きくすることが望ましい。このため半導体集積回路においては加工技術の微細化を進めてきた。しかしながら、小さい領域に多数の素子や配線を格納しようとすることにより、様々な問題が生じてくる。その一つの問題としてクロストークが

ある。

クロストークとは、複数の配線を物理的に近い位置に配置した際に配線同士の間で生じてしまう信号の干渉のことである。一般に集積回路やシステムは仕様により与えられる目標周波数で動作することができるよう、回路が処理すべき機能は一定の遅延時間内にその処理が終了するように設計される。その際に、上記クロストークを考慮せずに設計を行うと、信号干渉の影響から生じる遅延時間の変化を見落としてしまうために、半導体集積回路チップやシステムが目標周波数で動作しなくなるという状況が起こることがある。このような例を示したのが第1図である。図は簡単な論理回路の一例を示し、1～4 はフリップフロップ回路、5, 6 は NAND 回路、7～9 はインバータ回路である。この図において設計者の意図した動作周波数を満足させるための遅延時間の設計制約は 2ns であるものとする。クロストークの存在を考慮しないで設計を行った場合、図の A 点から B 点までの論理ゲートを経る信号の遅延時間が 1.9ns で設計制約を満足したとする。ここで実際には、配線が近接して並走している個所 C が存在し、そこでクロストークが生ずる。このクロストークにより[る]遅延時間が増加する(以下、遅延時間劣化ないしディレイ劣化と呼ぶ)。この遅延時間劣化の存在により遅延時間が 2.1ns になるとすると、もはやこの回路は設計制約 2ns を満足することができず、当初設計者が意図したように半導体集積回路チップやシステムが動作しないこととなる。またクロストーク[の問題]は上記のような遅延時間劣化の問題のみならず、ノイズによる誤動作を引き起こす場合もある。このような例を示したのが第2図である。第2図 (a) は回路構成、(b) は動作説明を示す。第1図と同符号は同一物をしめす。この図では、本来一定のレベルにあるべき D 点の信号が隣接配線個所 C からの干渉でそのレベルが第2図 (b) のように変化してしまう様子を示している。この信号を受け取るフリップフロップ回路 4 があるタイ

ミングで信号の取り込みを行うと間違った論理レベルとして解釈してしまう。このような場合にもやはり半導体集積回路チップは正しく動作しないこととなる。以上のように、半導体集積回路チップやシステムが、正しい機能で、しかも目標の動作周波数で動作しなければ、再度設計のやり直しが必要となり、これは経済的、時間的に大きな損失となる。このような事態を避けるために、クロストークによる問題を回避または低減することが必要となる。

さて、クロストークによる問題を回避するために、互いに隣接する配線どうしの配線間距離を大きくすることが知られている。このような例として、International Conference on Computer Aided Design(ICCAD)1993、pp697-702 には配線間の距離を大きくすることで、クロストークを低減する例が示されている。

配線間の距離を大きくすることはクロストーク低減に有効であるが、その一方で配線間距離を広げれば広げるほど集積密度が低くなるという問題がある。このように、集積密度を高く維持したまま近接している並走配線をできるだけ少なくし、クロストークを低減することが課題となる。

さて、通常 LSI の設計は幾つかの行程を経て行われる。この設計行程として、一般的に広く行われている方法として、フロアプラン、論理合成、配置、配線といったステップに分けて考えるものがある。すなわち、設計者はまず、チップを機能として見た時に分割されたブロックをチップ内のどの領域に割り当てるかを決定する(フロアプラン)。次に設計用言語で記述された論理回路を論理合成ツールないし人手で、どのようなゲートをどのように論理的に接続するかといった情報(ネットリスト)を生成する。次に、そこで使用されたゲートの物理的な位置を決定(配置)する。最後に、配置されたゲート間の接続、すなわち配線を行う。

上記のような設計方法は今日の大規模集積回路を設計する場合、自動的に計算機上で行われることが多く、その際に予めレイアウトや遅延や消費電力等

の基本データが用意されたセルを組み合わせて設計することが多い。そしてこのような予め用意されたセルは通常 MISFET を主たる回路構成要素とするスタンダードセルまたはゲートアレイから構成される。このようなセルを配置する場合には、縦方向の高さ、すなわち、MISFET のゲート幅を増大させる方向の長さが一定で、横方向の幅、すなわち、ゲート長を増大させる方向の長さが一定ないし異なるものを複数並べて配置するといったことが行われる。

ここで、クロストークによる問題を解決するためには、先に述べたように配線間の距離を大きくする方法が一般的に広く知られている。これは上記行程のうち、最終段階の配線行程において隣接配線間の距離を大きくすることに対応する。

配線行程で対処するこのような方法の利点は、実際にどの配線どうしが隣接するかを確認して問題に対処できるという点である。実際にある配線どうしで生じるクロストークが大きい場合(例えば隣接する配線の並走長が長い場合)には、これらの配線間の距離を大きくするといったことが可能である。このような方法の問題点は、実際にクロストークが大きいことがわかつても、必ずしもこれらの配線間の距離を大きくすることが可能であるとは限らないことにある。すなわち、これら配線間の距離を大きくするためには、これらの配線のまわりに十分なスペースが確保されている必要がある。もし、他の配線がこれらの配線の周りに存在している場合には、これらの周辺配線が邪魔をすることになり、配線間距離を大きくすることができない。

現実の LSI 設計においては、配線行程において多数の論理ゲート間を結線することが一般的であり、上記のごとく配線間距離を拡大することが非常に困難である。しかも、配線の並走長が長ければ長いほどクロストークの問題は大きくなるが、並走長が長いほどその配線の周辺に他の配線が存在する確率が高くなり、配線間距離を大きくすることは困難になる。

本発明は、上記のごとく配線行程で配線間距離を大きくすることが不可能なためクロストークを回避ないし低減することが困難であるといった問題を改善することが可能な半導体集積回路、その設計方法およびその設計システムを提供することにある。

5

発明の開示

我々はこれまでにクロストーク関して種々の検討を行ってきたが、その一つの結果を示したのが第3図である。これは全く同一の論理回路をチップ内のある領域に配置配線する場合に、面積は同一の条件のもとで、その縦方向と横方向の長さ変化させてレイアウトした結果生じた並走配線の発生度数を並走長に対して示すものである。ここで並走配線の発生度数とは所定長、たとえば250ミクロンにわたり、1ミクロン以下と近[隣]接している並走配線の現れる数を意味する。

15 一般に論理回路は MISFET よりなる CMOS 論理回路により[を]構成される。第5図 (a) はインバータ回路のレイアウトを示し、第5図 (b) は回路配置をしめす。回路構成は上下ほぼ対称であるので上半分について説明する。11は金属電極部分、12は拡散領域で n ウェル、13, 14は拡散領域でソースまたはドレーン、15はpMISトランジスタp1001のゲート、17, 18はソースまたはドレーンコンタクト、20 19は入力ノードIn1001、20は出力ノードOut1001、21はVccコンタクトをしめす。

図において MISFET のゲート幅 GW を増減させる方向は縦方向であり、それと直交するゲート長 GL を増減する方向は横方向である。縦方向寸法が横方向寸法より極めて大きい特徴がある。第5に示すインバータ回路を多段配置する

必要があるときには、縦方向に複数個配置するか、あるいは横方向に複数個配置するかのいずれかの選択肢があるが、横方向配置が容易であろう。

第6図(a)は3入力 NAND 回路のレイアウトを示し、第6図(b)はその回路配置を示す。図において、31は金属電極部分、32, 33は拡散領域、p1001, p1002, p1003はそれぞれp型 MIS トランジスタのゲート, In1001, In1002, In1003はそれぞれ入力ノード、34は出力ノードOut10である。このレイアウト図においても、ゲート幅を増減する縦方向寸法はゲート長を増減する横方向寸法よりも極めて大きいものであることが明らかである。第3図では回路ブロックの縦方向の長さの横方向の長さに対する比(すなわち、[縦方向の長さ / 横方向の長さ]であり、以下これをレイアウトアスペクトレシオまたは簡単にアスペクトレシオと呼ぶ)を5種類変化させた場合の並走隣接配線の発生度数を示すものである。これはクロストークの発生頻度または発生度数を示しているものということができる。この図からレイアウトアスペクトレシオを変化させると、並走配線ないしクロストークの発生度数が大きく変化していることがわかる。第4図は、レイアウトアスペクトレシオを変化させたときに、一定並走長以上の並走配線ないしクロストークの度数がどのように変化するかを示した図である。この図よりわからることは、並走配線ないしクロストークの発生頻度が、あるレイアウトアスペクトレシオでは小さくなるのに対し、別のレイアウトアスペクトレシオでは逆に大きくなるといったことである。このような発生頻度の変化は、セルの形状に関連している。スタンダードセル方式やゲートアレー方式で用いられるセルは、ほとんどが縦長の形状のものが多く用いられる。先の第5図や第6図よりわかるようにインバータ、多入力 NAND、多入力 NORといった回路のセルレイアウトはゲート幅の増減により高さが変化することがないように、予めある一定のゲート幅が確保できるようにするため縦長の構造を取らざるを得なくなっている。このようにセルが縦長の構造を取ることから、

回路ブロックをレイアウトする場合にそのレイアウトアスペクトレシオを1にする(縦の高さと横の幅を等しくする)と、必然的に縦方向に配置されるセル数よりも横方向に配置されるセル数が多くなる。従って、横方向への配線が増加し、結果として配線が隣接する確率が上昇することになる。

5 このような観点から並走配線の頻度または度数が最も小さくなるレイアウトアスペクトレシオがどのような値(今この最適値を AR と呼ぶことにする)になるかを考慮すると、セル縦方向高さを一定値 H とし、最小セル幅を有するセルの横方向幅を W とした時、 AR は H/W より小さく、1.0 よりは大きくなることが一般的である ($1.0 < AR < H/W$)。なぜなら、前者 ($AR < H/W$) に関しては、ブロック内の全て
10 のセルを最小幅のセルで実現して場合に縦方向と横方向に並ぶセル数を一定にしようとする H/W となるが、実際には最小幅のセルだけを用いるわけではなく、それより大きい幅のセルを使う場合が生じるからである。また後者 ($1.0 < AR$) に関しては、実際の設計で主に用いられる論理ゲートのセルレイアウトは、先に述べたようにセル高さ H がセル幅 W より大きくなるからである。

15 なお、上記で述べたブロック形状に関しては、完全に矩形でなくとも、その形状の中で最大の矩形を抽出することでブロック形状の定義とすることが可能となり、レイアウトアスペクトレシオが決定されることはいうまでもない(第24図)。

さて、第7図は典型的なマイクロプロセッサの論理ブロックがチップ中にレイアウトされた一例を示したものである。第7図(a)に示されたチップ内には、複数の
20 ブロックが存在している。各ブロックは、その各々に対して動作基準タイミングとなるクロック信号を有しており、そしてこのクロック信号を提供するクロックドライバも有している。チップには一般に一つ以上のクロック信号を発生する回路が存在し、各ブロックのクロックドライバにクロック信号を供給している。各ブロックのクロックドライバは複数段のゲートより構成されうるが、その初段のクロックドライバ

(親ドライバ)に着目したとき、その出力側に子ドライバの何段か(0段、すなわち直接でもよい)を介して接続される順序回路(フリップフロップやラッチ等)の間に組み合わせ回路が挟まれる場合に、その順序回路とその間の組合せ回路をまとめてブロックと呼ぶことができる。

5 さて、第7図のマイクロプロセッサのチップレイアウトに着目すると、ここに存在する複数のブロックの全てが同一の周波数で動作しているわけではない。チップ中には様々な機能を持った論理ブロックが配置されている。これらの中にはマイクロプロセッサに固有な機能を司るCPUコントローラやFPUコントローラ、さらにはチップ内メモリを管理するキャッシングコントローラなどの回路が存在する。また、上記のごとくマイクロプロセッサ自身を司る機能ではないが、例えば外部機器をコントロールするための機能などを有する周辺論理と呼ばれる論理ブロックも同時に存在する。さて、一般にマイクロプロセッサに固有の機能を司る論理ブロックはそのプロセッサ自身の性能を決定するため、可能な限り高速に動作させたいという要求がある。一方で、周辺論理ブロックは外部機器を制御するのに十分な速度であれば十分であるといった理由から、必ずしも高速に動作させる必要があるわけではない。すなわち、同一チップ中に配置される論理ブロックでも、その動作速度が異なることが一般的である。このような動作速度の違いは、先に示したブロックそれぞれのクロック信号の周波数の違いとして表現されるものである。第7図(b)は、このような例を示したものである。図において、clk1は高速動作する論理ブロックに供給されるクロック信号を意味し、clk2は中速動作する論理ブロックに供給されるクロック信号を、またclk3は、低速動作する論理ブロックに供給されるクロック信号を意味している。すなわち、第7図(b)は3つの異なる動作速度でチップ内の各論理ブロックが動作している例を示したものである。

背景技術で説明したように、クロストークが存在すると遅延時間劣化が起こり目標の周波数で半導体集積回路チップを動作させられなくなってしまう問題が生じる。このような問題は、チップ中の論理ブロックの中でも特に高速に動作する部分では深刻な問題である。なぜなら、同じ遅延時間劣化であっても、その影響の程度が低速に動作する部分よりも相対的に大きくなってしまうからである。従って、上記に示したマイクロプロセッサの例でもプロセッサ固有の機能を有する論理ブロックでクロストークが生じるとその影響が大きく深刻な問題となりうる。一方で、比較的低速で動作している周辺論理ブロックでクロストークによる遅延時間劣化が生じても、必ずしも大きな問題にはならないこととなる（プロセッサ固有の機能を有する論理ブロックでも低速動作するならクロストークの影響が小さく、周辺論理ブロックであっても高速動作するならクロストークの影響が大きいことは言うまでもない）。

さて、第4図に示すようにある一定のレイアウトアスペクトレシオ（AR）より小さくなったり大きくなったりするとクロストークの発生頻度が上昇してしまう。今仮に、このある一定のアスペクトレシオが 1.5 であったとする。この状況で、例えばレイアウトアスペクトレシオが 1.0 以下、すなわち横長のブロック形状を取った場合には、レイアウトアスペクトレシオが 1.5 近傍の縦長のブロック形状を取ったときよりも、そのブロックでのクロストーク発生頻度が相対的に上昇してしまうこととなる。従って、このような状況（レイアウトアスペクトレシオが 1.0 以下の横長）が高速に動作させたいブロックで生じることはクロストークによる遅延時間劣化の観点からは望ましくないことがわかる。従って、高速に動作させたいブロックに対しては、上記の場合、1.5 にできるだけ近いレイアウトアスペクトレシオを有するように配慮されることが望ましいこととなる。

図面の簡単な説明

第1図は、クロストークによる遅延時間劣化で論理回路が所望の動作をしなくなることを示した図であり、

5 第2図は、クロストークによるノイズで論理回路が所望の機能を果たさなくなることを示した図であり、

第3図は、レイアウトアスペクトレシオに依存して並走配線数が変化することを示した図であり、

第4図は、レイアウトアスペクトレシオに依存して並走配線数が変化することを示した図2であり、

10 第5図は、インバータレイアウト図であり、

第6図は、3入力 NAND レイアウト図であり、

第7図は、マイクロプロセッサの構成例であり、

第8図は、レイアウトアスペクトレシオを考慮して設計された半導体集積回路であり、

15 第9図は、レイアウトアスペクトレシオを考慮して設計された半導体集積回路であり、

第10図は、レイアウトアスペクトレシオの考慮方法を示す図であり、

第11図は、クロストーク予測に基づく設計フロー図であり、

第12図は、クロストーク低減を可能にする設計システム示す図であり、

20 第13図、第14図、第15図、第16図、第17図、第18図は、レイアウトアスペクトレシオを考慮した設計手順を示す図であり、

第19図は、本発明利用の設計システムのディスプレイ画面を示す図であり、

第20図は、配線厚みの変化を利用した本発明の説明図であり、

第21図は、配線ピッチの変化を利用した本発明の説明図であり、

第22図は、配線厚みの変化を利用した本発明の説明図で、配線の断面構造における上下隣接関係を示す図であり、

第23図は、配線ピッチの変化を利用した本発明の説明図で、配線の断面構造における上下隣接関係を示す図であり、

第24図は、=ブロックの形状解釈を説明する図である。

発明を実施するための最良の形態

第8図は本発明の実施例を説明するためのものである。このチップは3つのクロック周波数 f_1 、 f_2 、 f_3 で動作している($f_1 > f_2 > f_3$)。高速動作ブロックのクロックが CLK1(f_1)であり、ブロック A、B、C、D、I、J、K、L が該当する。中速動作ブロックのクロックが CLK2(f_2)であり、ブロック E、G、H、N が該当する。低速動作ブロックのクロックが CLK3(f_3)であり、ブロック F、M が該当する。仮に、レイアウトアスペクトレシオを考慮することなくブロック形状を決定した場合のチップレイアウトを示してみたのが第8図(a)である。この図では高速に動作するブロック A、B、C、D、I がレイアウトアスペクトレシオが 1.5 よりかなり小さく(すなわち横長でアスペクトレシオ 1 以下に)なっており、低速に動作するブロック Fにおいてそのアスペクトレシオが 1.5(アスペクトレシオ 1 以上)に近くなっている。このようなチップレイアウトは好ましいものではない。つまり、高速動作させたいブロック A、B、C、D、I においてクロストーク発生頻度が高く、遅延時間劣化の影響が大きいのに対し、低速動作でよいブロック F においてクロストークの発生頻度が小さく遅延時間劣化が小さくなっているからである。本来なら、先に示したように遅延時間劣化の影響が大きい高速動作ブロックでクロストーク発生頻度を減少させたいところである。

これを実現できるようなチップレイアウトを行った例が第8図 (b) である。ここでは高速動作させたいブロックがクロストークの発生頻度が低いレイアウトアスペクトレシオとなるように配慮されている。すなわち、上記高速ブロック A, B, C, D, I 等ではそのレイアウトアスペクトレシオが 1.5 近傍 (すなわち縦長でレイアウトアスペクトレシオ 1 以上) になっており、低速ブロック F ではレイアウトアスペクトレシオが 1.5 より相当に小さい値 (すなわち横長でレイアウトアスペクトレシオ 1 以下) になっている。従って、高速ブロック A 等ではクロストーク発生頻度は低く、低速ブロック F ではクロストーク発生頻度が高くなっている。従ってその動作速度への影響はバランスがとれたものとなり、高速動作可能なチップを設計できることとなる。

本発明は縦長なセルレイアウトに着目するものであるが、高速動作ブロックはそのレイアウトアスペクトレシオ 1 以上、最小セルの横方向の幅に対する縦方向の高さの比以下が望ましいということが出来る。

上記のような配慮がなされた本発明による半導体集積回路は、結果として高速動作ブロックの大多数のアスペクト比は 1 よりおおきく、そのばらつきは低速動作ブロックのアスペクト比のばらつきより小さくなる特徴を持つこととなる。すなわち、第9図に示すように高速動作するブロックでは、低速動作するブロックと比較して、相対的に最適レイアウトアスペクトレシオに近くなるように配慮されるため、CLK1 の周波数を f_1 、CLK2 の周波数を f_2 、 $f_1 > f_2$

ならば、

$$AR_1 + \Delta AR_1 > AR(CLK1) > AR_1$$

$$AR_2 + \Delta AR_2 > AR(CLK2) > AR_2$$

従って、 $\Delta AR_2 > \Delta AR_1$ となる。

本発明の一つの特徴は、以上に示したようにレイアウトアスペクトレシオによる

並走配線ないしクロストークの発生頻度の違いと半導体集積回路チップ内の論理ブロックの動作速度の違いを利用して、集積密度、性能、製造歩留まりが高い半導体集積回路を提供するものである。さらに本発明の他の特徴は、上記のようなレイアウトアスペクトレシオによる並走配線ないしクロストークの発生頻度の

5 違いを用いて、集積密度、性能、製造歩留まりが高い半導体集積回路を設計するための方法やそのための設計システムを提供することにある。

さらに、他の本発明は、第20図に示すように、高速ブロック内の配線ピッチを略一定としたときに、横方向の配線の断面構造における配線厚みが縦方向の配線の配線厚みより小さいことを特徴とする。一般に配線の厚みはばらつくこと

10 があるが、通常 1.2 倍程度もばらつくことはないと考えられるため、意図的に配線膜厚を変えることとばらつきで変化することとは区別されうる。このようにする理由は、上記に示したようなブロックの形状を設計において配慮する必要を軽減するためである。すなわち、先に示したように配線ピッチが一定であれば、レイア

ウトアスペクトレシオが 1 近傍の条件では、横方向配線が増加するため、横方向において並走配線ないしクロストークの発生頻度が上昇する。そして隣接する配線が増加すれば、それらの隣接配線間で容量またはインダクタンスの結合が

15 起こり信号遅延(ディレイ)に影響するから問題となる。従って、このような結合を弱めるためには、あらかじめ横方向の配線厚みを縦方向の配線厚みより小さくしておけばよい。

20 本発明の一つ特徴は、以上に示したように配線厚みの変化を用いて、レイアウトアスペクトレシオを考慮する必要を軽減することが可能で、集積密度、性能、製造歩留まりが高い半導体集積回路の設計方法および設計システムを提供するものである。

さらに、本発明の他の特徴は、第21図に示すように、高速ブロック内の配線

厚さを略一定とした場合、横方向の配線ピッチ（配線の敷設周期）は縦方向の配線ピッチより大きいことを特徴とする。このようにする理由は、上記に示したようなブロックの形状を設計において配慮する必要を軽減するためである。すなわち、先に示したように横方向において並走配線ないしクロストークの発生頻度が

5 上昇する。このような場合を避けるために予め横方向の配線ピッチを広げる（すなわち配線間の距離を大きくする）ようにしておけば、横方向で並走配線が多く生じても、もともと横方向の配線間結合が縦方向に較べて小さいため問題が軽減される。

本発明の他の特徴は、以上に示したように配線ピッチの変化を用いて、レイ

10 アウトアスペクトレシオを考慮する必要を軽減することが可能で、集積密度、性能、製造歩留まりが高い半導体集積回路の設計方法および設計システムを提供するものである。

以下、本発明の半導体集積回路の設計方法および設計システムの実施例について、図面に沿って説明する。

15 第10図は、本発明を用いて半導体集積回路中のブロックごとの動作速度の違いとブロックのレイアウトアスペクトレシオによるクロストークの発生頻度の違いを利用して、半導体集積回路を高速に動作させることを示した例である。第10図(a)と(b)は半導体集積回路を上面から見て、ある一定の部分に着目した場合を示している。今この図においては、二つのブロック（ブロックAおよびブロック

20 B）が2種類のレイアウトアスペクトレシオで配置されている。図(a)ではブロックのレイアウトアスペクトレシオは0.33となっており、図(b)ではそのレイアウトアスペクトレシオが1.5となっている。二つの図で比較した場合に、全体の面積は(a)(b)ともに同一であるが、その中に配置されるブロックのレイアウトアスペクトレシオが異なっていることがわかる。さて、先にみたようにブロックのレイアウトアスペク

トレシオが一定の値より小さくなると、隣接配線の結果として生じるクロストークの発生度数が上昇する。今、仮にこの一定のレイアウトアスペクトレシオが 1.5 であったとすると、1.5 より小さい値のレイアウトアスペクトレシオを有するブロックでのクロストークの発生度数は、レイアウトアスペクトレシオが 1.5 近傍の形状を有するブロックでのクロストーク発生頻度より高くなってしまうこととなる。従って、第10図 (a) でのクロストーク発生頻度は第10図 (b) のそれに比べて増加してしまうこととなる。従って、LSI を高速動作させたい場合には、チップレイアウトにおいて、図中の (a) の替わりに (b) のような領域分割がなされるようにした方がよい。同様に、複数のブロックが存在していて、高速に動作させたいものと低速に動作させたいものが存在する場合、互いの間で形状を調整することで、それぞれのブロックの動作条件を満足させることが可能になる。第10図 (c) には3つのブロックが存在しているが、今、ブロック A が高速に動作させたいブロックで、ブロック C が低速動作で十分なブロックであったとする。第10図 (c) ではブロック A がそのレイアウトアスペクトレシオが 1.5 より相當に小さくなってしまっており、クロストークの発生頻度が高くなるため好ましくない。一方、ブロック C では低速であるためクロストークの影響を受けにくいにもかかわらず、そのレイアウトアスペクトレシオはクロストークの発生頻度が低い形状になっている。このような状況を改善したのが第10図 (d) である。ブロック A ではクロストーク発生頻度が低く、ブロック C ではクロストーク発生頻度が高いレイアウトアスペクトレシオとなっている。以上見てきたような第10図 (b)、(d) のごとき配慮がチップ中の一部でなされることで、チップ全体を高速に動作させることが可能となるのである。

第11図は、本発明を利用した設計フローの一例を示している。すなわち、設計の上流でクロストークの発生頻度を予測し(ステップs1)、その頻度が高く問題となりうる場合にはクロストーク対策指示(sc)に示すように、この予測に基づ

いてフロアプランでレイアウトアスペクトレシオを調整する(ステップs2)といったことが可能である。逆に、その頻度が問題とならないと判断される場合には、以後の合成(ステップs3)、配置(ステップs4)、配線(ステップs5)といったステップにその対策を振り分ければよいことになる。そしてこのような設計フローを実現するシステムは第12図に示されるようなものとなる。すなわち、演算処理装置、記憶装置、マンマシンインターフェースを具備してなる自動設計システムを用いて実現されうるものであり、設計者は、ハードウェア設計言語やソフトウェア言語により記述された構造レベルまたは動作レベルのシステム記述を上記自動設計装置に入力する。これと同時にそのシステムに対して、遅延時間を含む設計制約を与える。また、論理ゲートの遅延時間を含むセルライブラリ群のライブラリ情報とともに、相対的な信号到達時刻で検索可能な遅延時間劣化に関するライブラリを与える。このような設計システムは、フロアプラン、論理合成、配置、配線といったステップを経て、LSI やプリント基板上回路の物理情報を生成するが、いったんこれらの設計が終了した後に、第10図に示されるような一連の処理を行うことで、クロストークが少なく集積密度の高い半導体集積回路を実現することが可能になる。

第13図、第14図、第15図、第16図、第17図、第18図は本発明の半導体集積回路を第12図で示したような設計システム内で自動的に行う設計方法のアルゴリズムを示したものである。第13図、第14図では、まずステップS11,S21において複数ブロックを動作周波数で分類分けする。ステップS12,S2 では分類分けされたブロックについて動作周波数とアスペクトレシオを考慮してフロアプランを作成する。

第13図は概略的に、アスペクトレシオ 1.0 を基準に行う場合を示しており、第14図はより詳細なアスペクトレシオを基準に行う場合を示している。第15図、

第16図では、ステップ S31,S41において、ブロックのレイアウトアスペクトレシオをもとにクロストーク発生頻度を予測し、この情報を基にステップ S31,S42においてディレイ(遅延)劣化値を計算し、ステップ S34、S43において別途計算されたディレイ値を補正するという手順が示されている。さらに第16図ではこのようにして計算されるクロストーク考慮のディレイが設計制約を満足するかどうかを判断し(ステップ S44)、これが設計制約を満足する場合にはそれで終了するが、満足しない場合にはブロック形状を変更した(ステップ S45)後、再度ディレイ劣化計算とディレイ計算を行うといった手順が示されている。

第17図では、クロストークの発生頻度の予測に確率モデルや統計モデルを10 使用する例が示されている。その他の部分は第16図と同様である。第18図は、クロストークの観点ではなく、配線並走率を考慮することで配線が並走することによる容量の増加でディレイ値が大きくなることを考慮して、第17図と同様の手順を示したものである。これは、配線の並走の与える影響として、クロストークだけでなく容量増加の場合でも本発明が利用できることを示したものである。

15 第19図は本発明を利用した設計システムのディスプレイ画面を示したものである。画面 A に示す半導体集積回路のチップレイアウトは先に述べたような設計方法を対話的に実施することにより画面 B に示すように最適化できる。要素ブロック画面 C を取り出して、レイアウト(d)からレイアウト(e)に最適化することも有用である。このようなシステムは本発明の設計方法を計算機上のディスプレイ画面を通して、対話的ないし自動的に処理できるため、操作効率を高めることが可能となる。

第22図は、第20図にその部分を示した、横方向配線と縦方向配線とでその厚さを変更する本発明を半導体チップ上面からと、縦・横それぞれの配線断面から示したものである。ここでは断面構造よりわかるように縦方向と横方向それぞ

れの配線が断面構造の上下方向に隣接していることがわかる。

第23図は、第21図にその部分を示した、横方向配線と縦方向配線とでその配線ピッチを変更する本発明を半導体チップ上面からと、縦・横それぞれの配線断面から示したものである。ここでは断面構造よりわかるように縦方向と横方向それぞれの配線が断面構造の上下方向に隣接していることがわかる。

10 ブロックのレイアウトアスペクトレシオと配線ピッチの組み合わせで並走配線ないしクロストークの問題を低減することも有効である。レイアウトアスペクトレシオが1.0より相当に小さくなる場合に、配線並走率が高くなることが予測されるため、あらかじめ配線ピッチを広げておくことが可能である。レイアウトアスペクトレシオが最適値近傍にある場合には、配線ピッチを狭くすることが可能である。また、そのようなブロックアスペクトレシオ条件とそこで用いる配線ピッチの条件を予めルール化しておいて、設計システムがこれを用いるといったことも可能である。さらに同様に上記配線ピッチの替わりに、配線膜厚についても同様にブロックのレイアウトアスペクトレシオとの組み合わせで並走配線ないしクロストークの問題を低減することが可能となる。

産業上の利用可能性

以上述べたように、本発明は、レイアウトアスペクトレシオによる並走配線ないしクロストークの発生頻度の違いと半導体集積回路チップ内の論理ブロックの動作速度の違いを利用して、集積密度、性能、製造歩留まりが高い半導体集積回路を提供することが可能である。さらに本発明は、上記のようなレイアウトアスペクトレシオによる並走配線ないしクロストークの発生頻度の違いを利用して、集積密度、性能、製造歩留まりが高い半導体集積回路を設計するための方法やそのための設計システムを提供することが可能である。

請求の範囲

1. MISFET を主たる回路要素とするゲートアレイセルまたはスタンダードセル
- 5 からなる複数個の回路ブロックのうちで、第1のクロック信号で動作する複数の第1回路ブロックと、前記第1のクロック信号の周波数よりも低い周波数の第2のクロック信号で動作する複数の第2回路ブロックとを有し、
前記 MISFET のゲート幅を増大させる方向を第1の方向とし、該第1の方向と直交する方向を第2の方向とする場合に、
- 10 前記複数の第1回路ブロックの少なくとも2以上の回路ブロックの平面形状は、該第2方向に対する該第1方向の該アスペクト比が1より大きく、
比が前記複数の第2回路ブロックの少なくとも1つの平面形状は該アスペクト比が1より小さいことを特徴とする半導体集積回路。
- 15 2. 請求の範囲1記載の半導体集積回路において、前記複数の第1回路ブロックの大多数の平面形状は、該第2方向に対する該第1方向の該アスペクト比が1より大きく、前記複数の第2回路ブロックの平面形状は該アスペクト比が1より大きいものと1より小さいものが含まれることを特徴とする半導体集積回路。
- 20 3. 請求に範囲1記載の半導体集積回路において、前記複数の第1回路ブロックのすべての平面形状は、該第2方向に対する該第1方向の該アスペクト比が1より大きいことを特徴とする半導体集積回路。
4. MISFET を主たる回路要素とするゲートアレイセルまたはスタンダードセル

からなる複数個の回路ブロックのうちで第1のクロック信号で動作する複数の第1回路ブロックと、第1のクロック信号の周波数よりも低い周波数の第2のクロック信号で動作する複数の第2回路ブロックとを有し、

MISFET のゲート幅を増大させる方向を第1の方向とし、第1の方向と直交する方向を第2の方向とし、前記ゲートアレイセルまたはスタンダードセルのうちで第一方向に対して第二方向の長さの比が最も小さいものを最小セルとする場合に、

前記複数の第1回路ブロックの大多数の平面形状は、該第2方向に対する該第1方向のアスペクト比が、1より大きく、前記最小セルの第2方向サイズに対する第1方向サイズの比より小さい範囲であり、

前記複数の第2回路ブロックには該アスペクト比が上記範囲内のものと上記範囲外のものが含まれることを特徴とする半導体集積回路。

5. MISFET を主たる回路要素とするゲートアレイセルまたはスタンダードセルからなる複数個の回路ブロックのうちで、第1のクロック信号で動作する複数の第1回路ブロックと、前記第1のクロック信号の周波数よりも低い周波数の第2のクロック信号で動作する複数の第2回路ブロックとを有し、

前記 MISFET のゲート幅を増大させる方向を第1の方向とし、該第1の方向と直交する方向を第2の方向とする場合に、前記複数の第1回路ブロックの大多数の平面形状の該第2方向に対する該第1方向のアスペクト比は1より大きく、そのばらつきは、前記第2回路ブロックのアスペクト比のばらつきより小さいことを特徴とする半導体集積回路。

6. MISFET を主たる回路要素とするゲートアレイセルまたはスタンダードセル

からなる複数個の回路ブロックのうちで、第1のクロック信号で動作する複数の第1回路ブロックと、前記第1のクロック信号の周波数よりも低い周波数の第2のクロック信号で動作する複数の第2回路ブロックとを有し、前記MISFETのゲート幅を増大させる方向を第1の方向とし、該第1の方向と直交する方向を第2の方向とする場合に、前記複数の第1回路ブロック内の大多数の該MISFETの前記第1方向の配線を形成する第1配線層の配線ピッチ幅と前記第2方向の配線を形成する第2配線層の配線ピッチ幅の比が1, 2以下であり、該第1配線層の配線膜厚と該第2配線層の配線膜厚の比が1.2以上であることを特徴とする半導体集積回路。

10 7. 請求の範囲6記載の半導体集積回路において、前記第1配線層と前記第2配線層とは配線断面構造において上下隣接する関係にあることを特徴とする半導体集積回路。

15 8. 請求の範囲6記載の半導体集積回路において、配線断面構造において最下側のMISFETに最も近い金属配線を第1層とした場合に、前記第1配線層と前記第2配線層とはそれぞれ、第1層配線と第2層配線、または第2層配線と第3層配線、または第3層配線と第4層配線、または第4層配線と第5層配線であることを特徴とする半導体集積回路。

9. MISFETを主たる回路要素とするゲートアレイセルまたはスタンダードセルからなる複数個の回路ブロックのうちで、第1のクロック信号で動作する複数の第1回路ブロックと、前記第1のクロック信号の周波数よりも低い周波数の第2のクロック信号で動作する複数の第2回路ブロックとを有し、前記MISFETのゲート

幅を増大させる方向を第1方向とし、第1方向と直交する方向を第2方向とする

場合に、前記複数の第1回路ブロック内の大多数の該 MISFET において前記

第2方向の配線を形成する第2配線層の配線ピッチ幅と前記第1方向の配線

を形成する第1配線層の配線ピッチ幅の比が1.2以上であり、前記第1配線層

5 の配線膜厚と前記第2配線層の配線膜厚の比が1.2以下であることを特徴とする半導体集積回路。

10. 請求の範囲9記載の半導体集積回路において、前記第1配線層と前記第

2配線層とは配線断面構造において上下隣接する関係にあることを特徴とする

10 半導体集積回路。

11. 請求の範囲9記載の半導体集積回路において、配線断面構造において

最下側の MISFET に最も近い金属配線を第1層とした場合に、前記第1配線層

と前記第2配線層とはそれぞれ、第1層配線と第2層配線、または第2層配線と

15 第3層配線、または第3層配線と第4層配線、または第4層配線と第5層配線で

あることを特徴とする半導体集積回路。

12. MISFET を主たる回路要素とするゲートアレイセルまたはスタンダードセ

ルからなる複数個の回路ブロックのうちで、第1のクロック信号で動作する複数

の第1回路ブロックと、前記第1のクロック信号の周波数よりも低い周波数の第2

20 のクロック信号で動作する複数の第2回路ブロックとを有し、

前記 MISFET のゲート幅を増大させる方向を第1の方向とし、該第1の方向と直交する方向を第2の方向とする場合に、

前記複数の第1回路ブロックの少なくとも2以上の回路ブロックの平面形状は、

該第2方向に対する該第1方向のアスペクト比が1より大きく、前記複数の第1

回路ブロックの少なくとも2以上の回路ブロック内の大多数の MISFET において該第2方向の配線を形成する第2配線層の配線ピッチ幅と該第1方向の配線を形成する第1配線層の配線ピッチ幅の比が1.2以上であり、

前記複数の第2回路ブロックの少なくとも1つの平面形状は該アスペクト比が
5 1より小さいことを特徴とする半導体集積回路。

13. 請求の範囲1記載の半導体集積回路の設計方法であって、論理ブロックのアスペクトレシオから配線並走率またはクロストークの発生頻度を予測し、前記論理ブロックの動作速度の設計要求に応じて前[上]記論理ブロックのアスペクトレシオを決定することを特徴とする設計方法。

10

14. 請求の範囲1記載の半導体集積回路の設計システムであって、論理ブロックのアスペクトレシオから配線並走率またはクロストークの発生頻度を予測し、前記論理ブロックの動作速度の設計要求に応じて前記論理ブロックのアスペクトレシオを決定することを特徴とする設計システム。

15

15. 請求の範囲6記載の半導体集積回路の設計方法であって、論理ブロックのアスペクトレシオから配線並走率またはクロストークの発生頻度を予測し、前記論理ブロックの動作速度の設計要求に応じて前記論理ブロックのアスペクトレシオを決定することを特徴とする設計方法。

20

16. 請求の範囲6記載の半導体集積回路の設計システムであって、論理ブロックのアスペクトレシオから配線並走率またはクロストークの発生頻度を予測し、前記論理ブロックの動作速度の設計要求に応じて前記論理ブロックのアスペクトレシオを決定することを特徴とする設計システム。

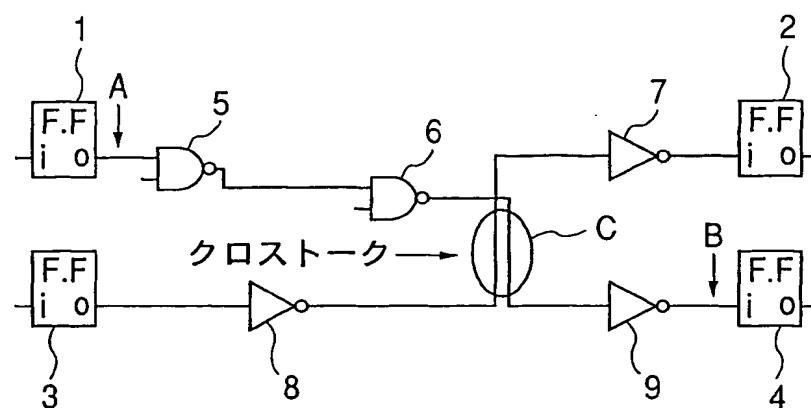
17. 請求の範囲9記載の半導体集積回路の設計方法であって、論理ブロックのアスペクトレシオから配線並走率またはクロストークの発生頻度を予測し、前記論理ブロックの動作速度の設計要求に応じて前記論理ブロックのアスペクトレシオを決定することを特徴とする設計方法。

18. 請求の範囲9記載の半導体集積回路の設計システムであって、論理ブロックのアスペクトレシオから配線並走率またはクロストークの発生頻度を予測し、前記論理ブロックの動作速度の設計要求に応じて前記論理ブロックのアスペクトレシオを決定することを特徴とする設計システム。

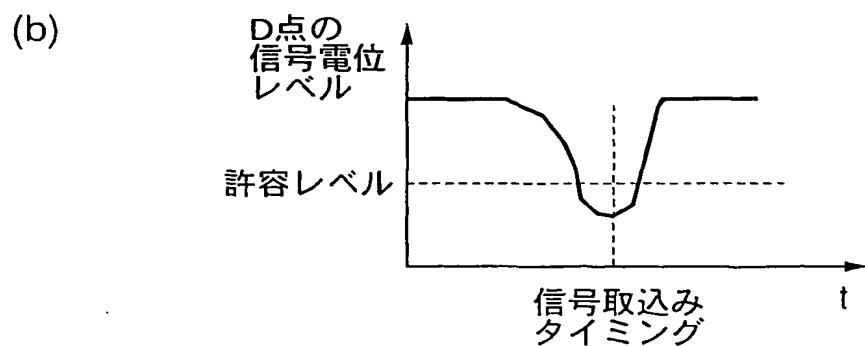
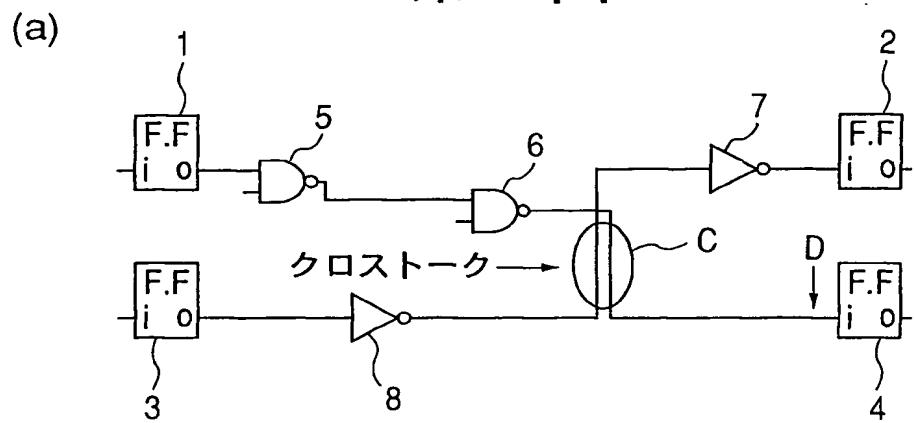
15

20

第 1 図

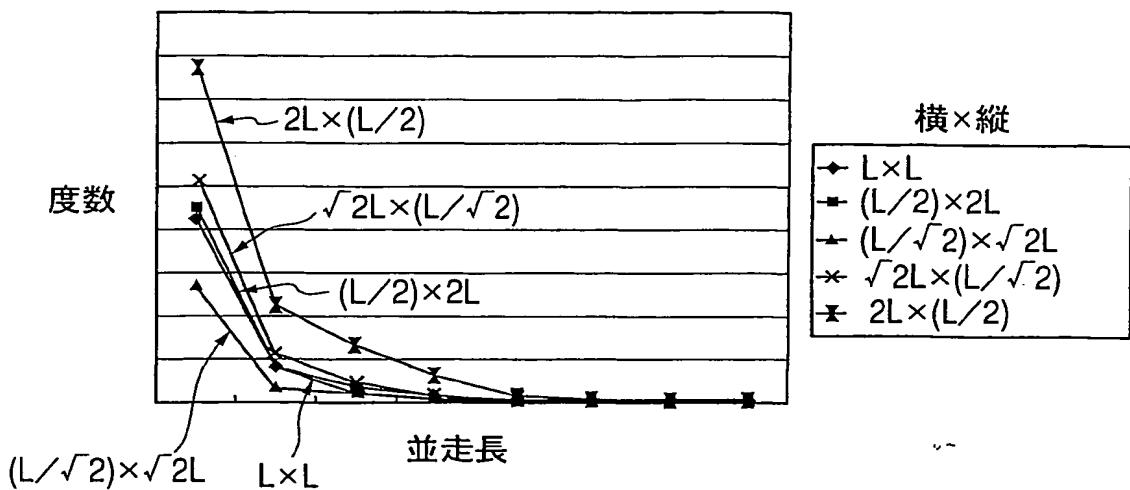


第 2 図

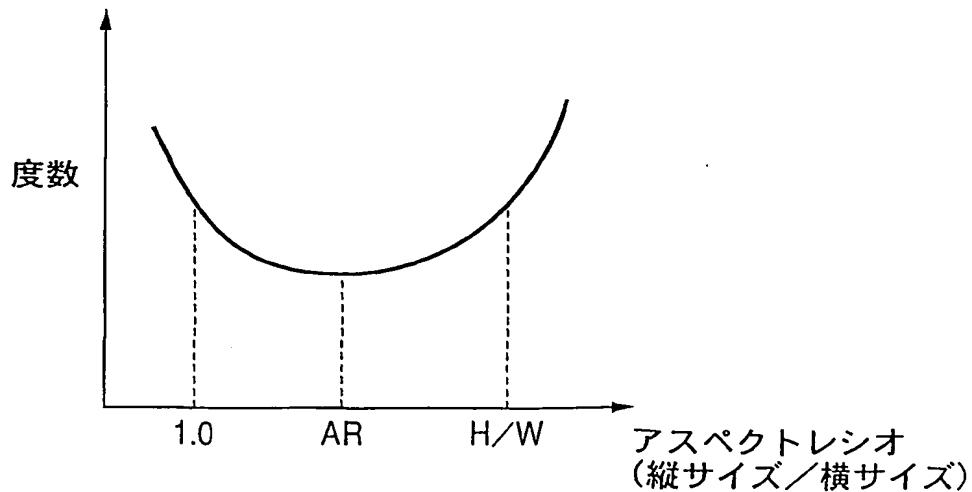


2 / 18

第3図

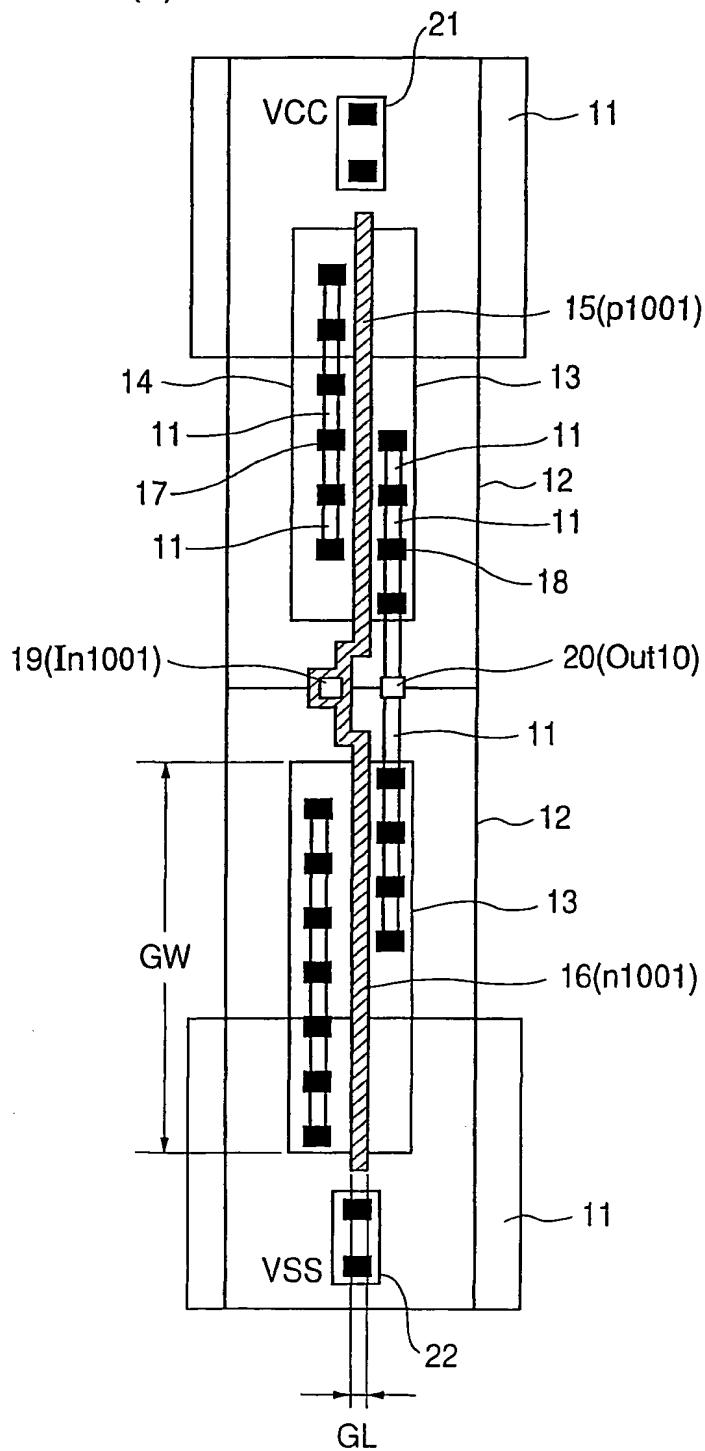


第4図

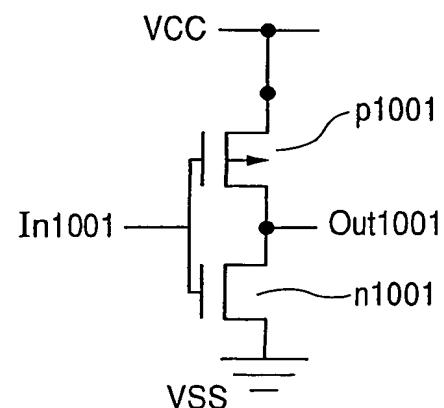


第5圖

(a)

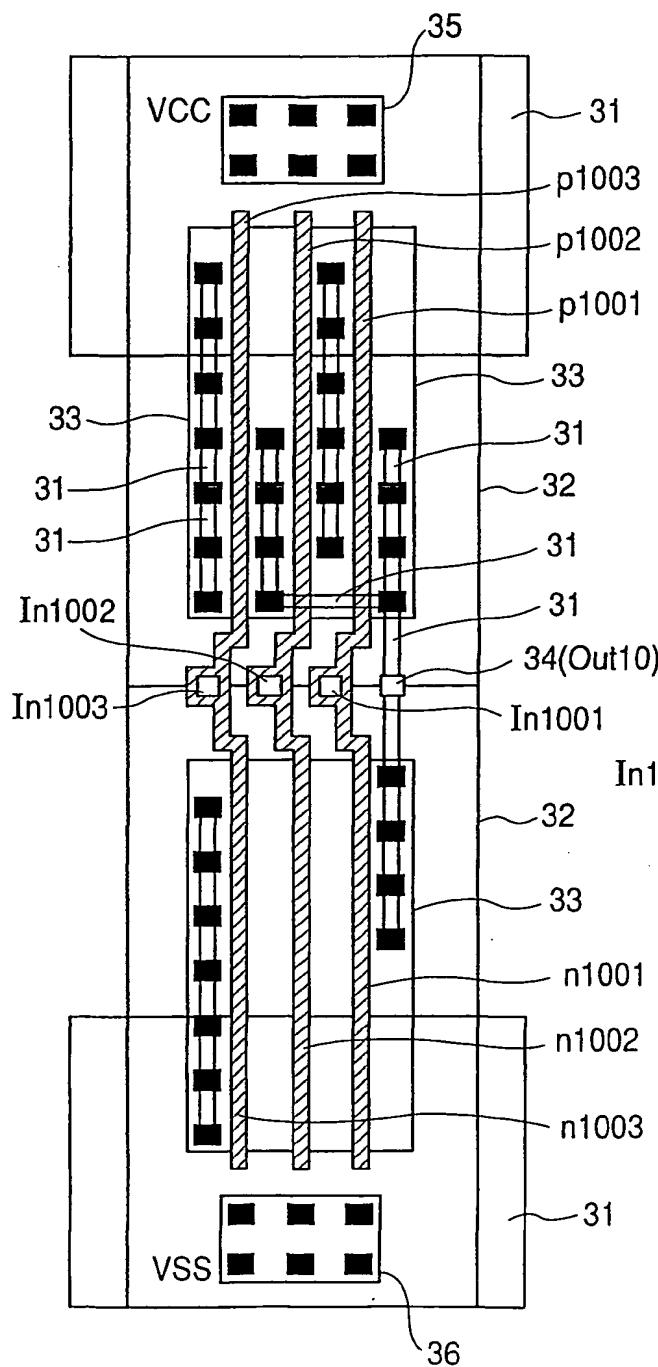


(b)

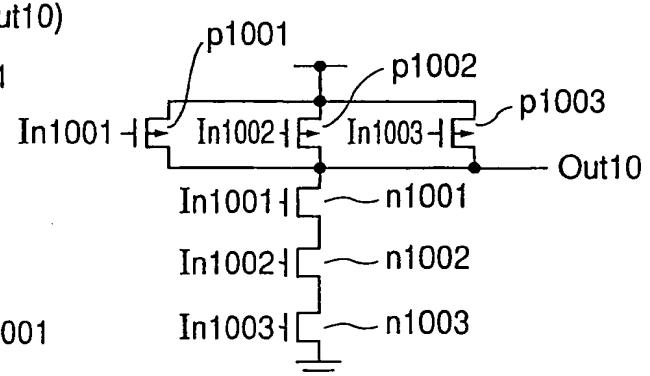


第6図

(a)

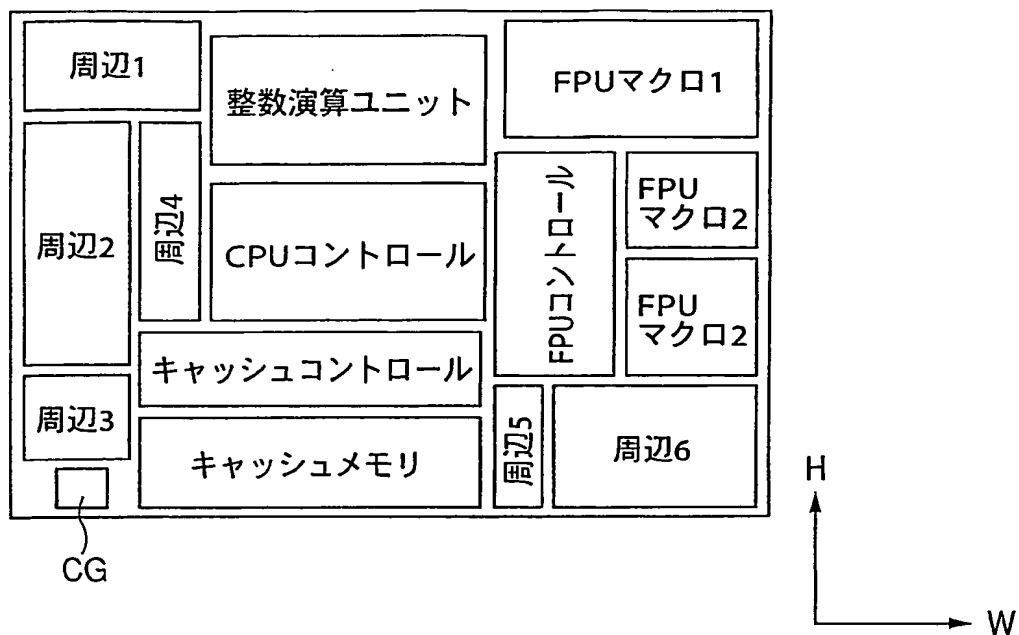


(b)

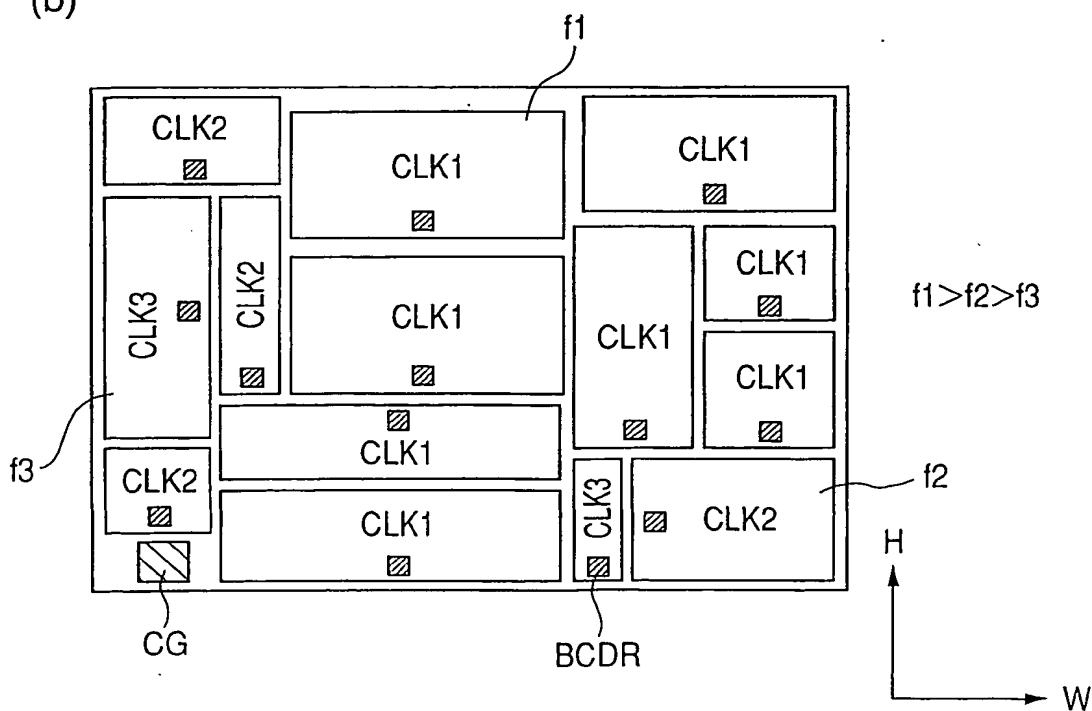


第7図

(a)

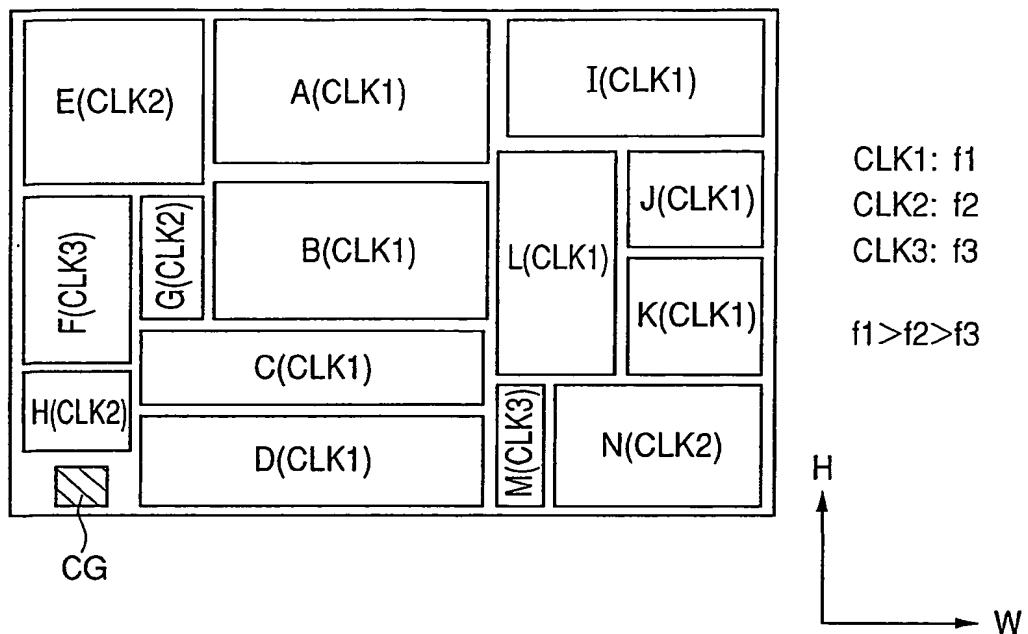


(b)

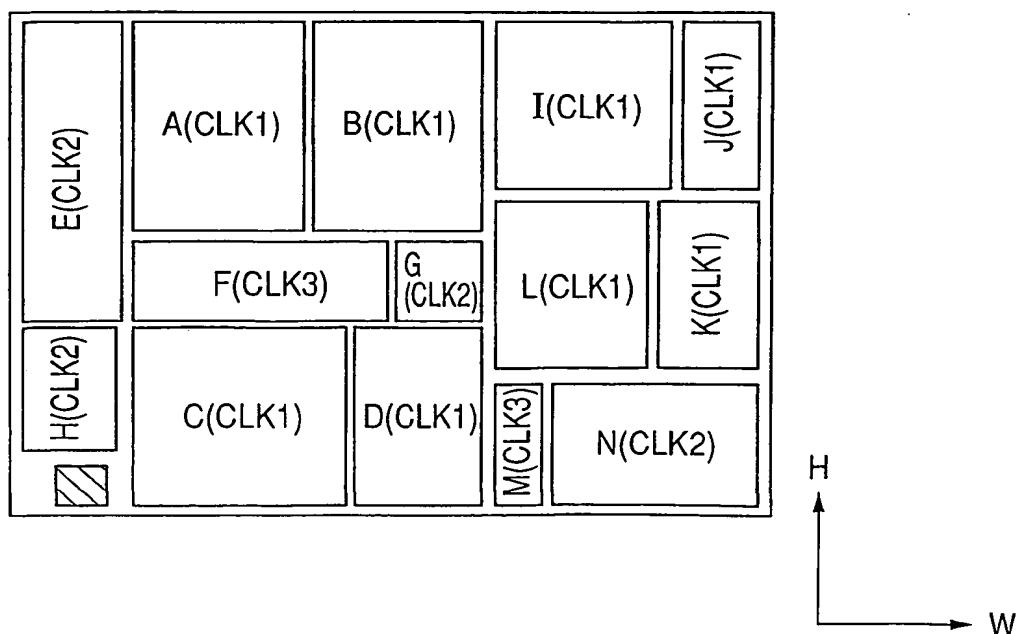


第 8 図

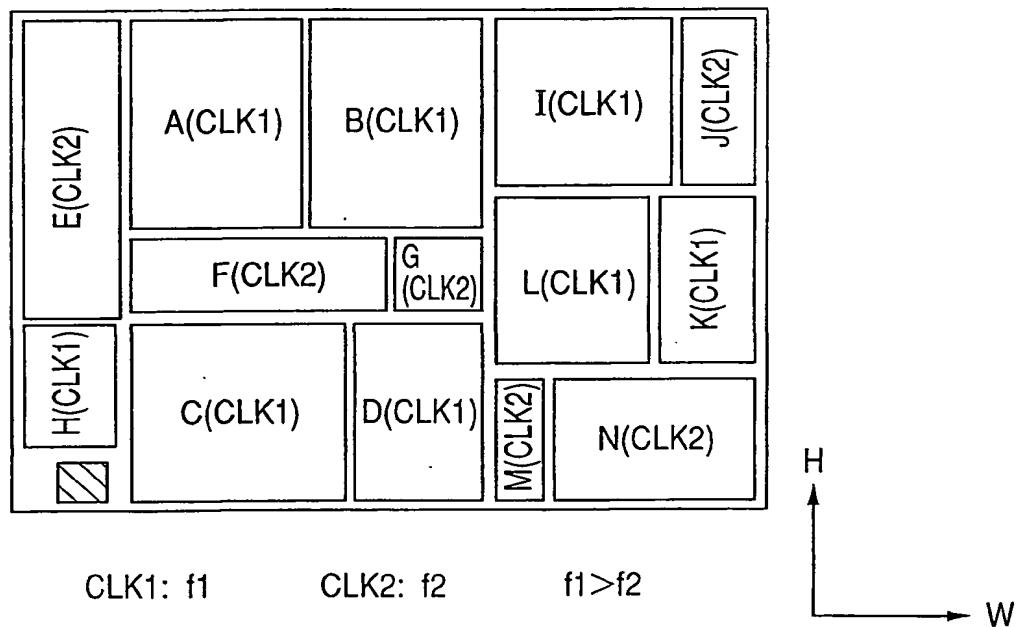
(a)



(b)

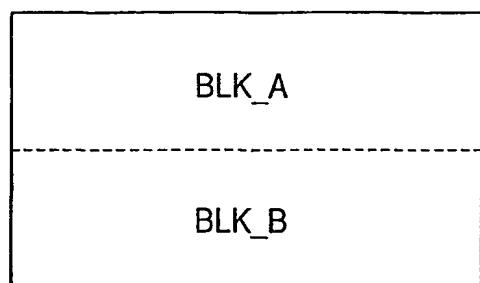


第9図

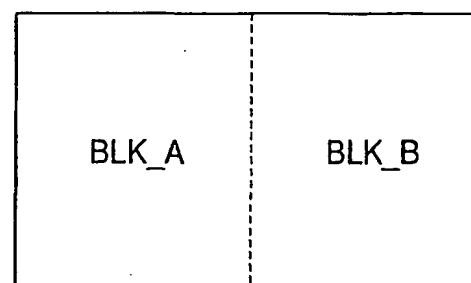


第 10 図

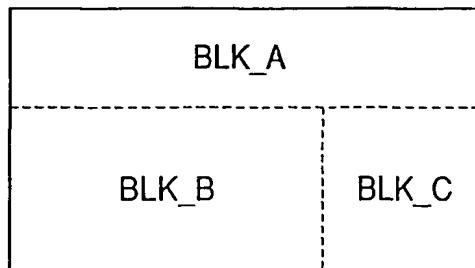
(a)



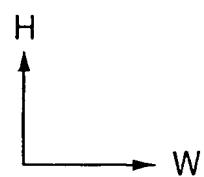
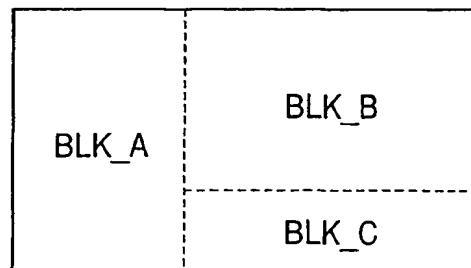
(b)



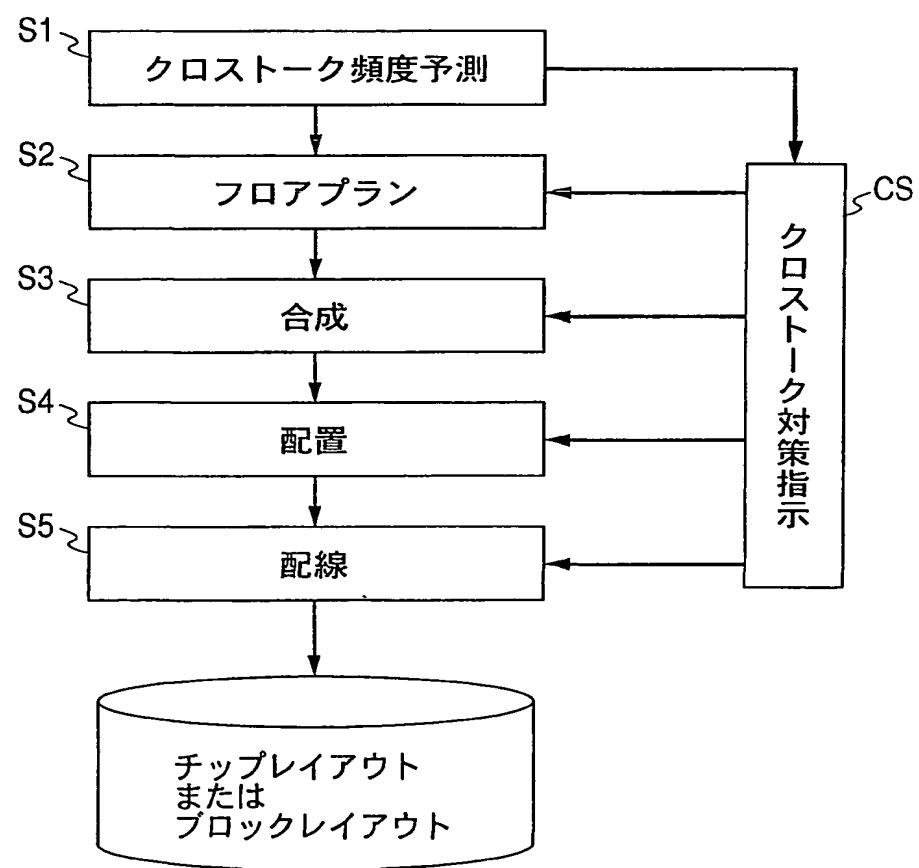
(c)



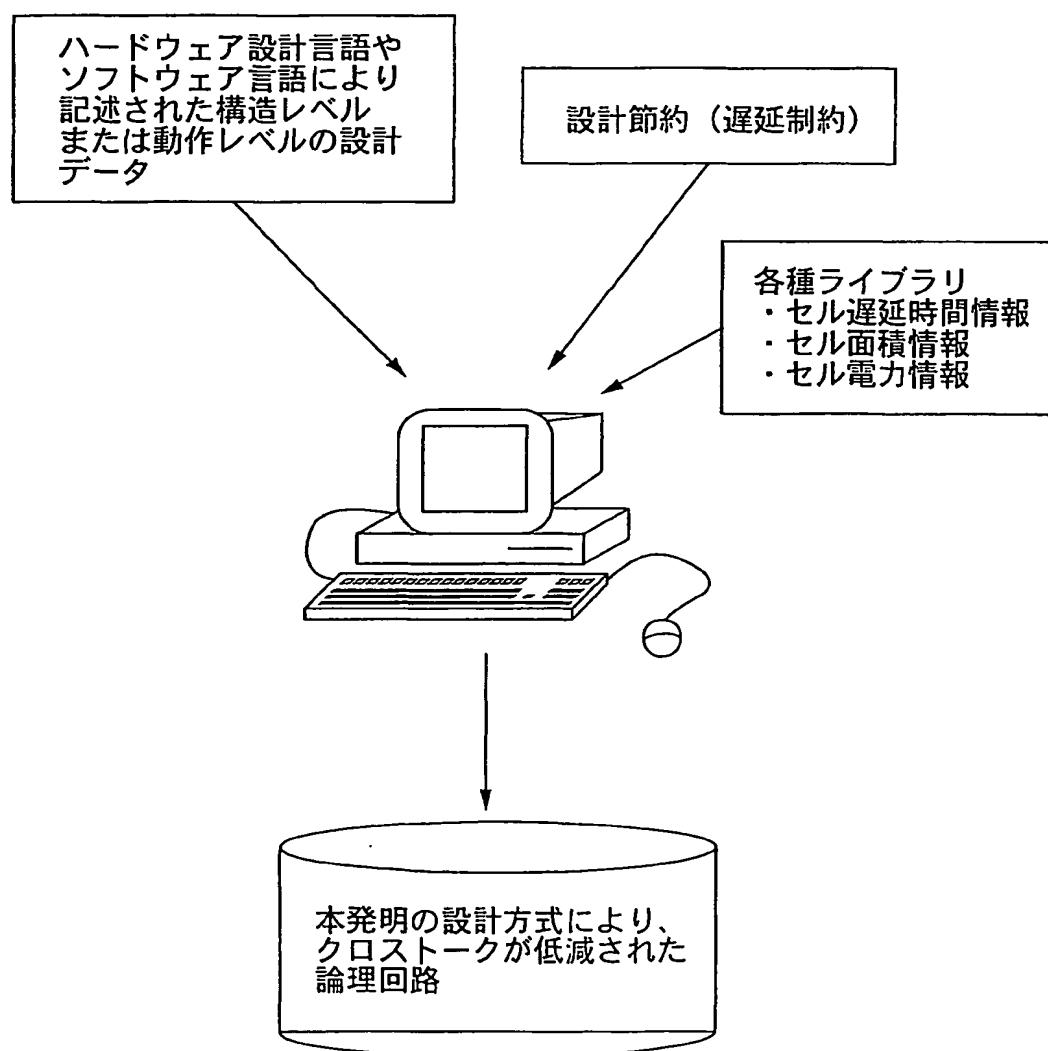
(d)



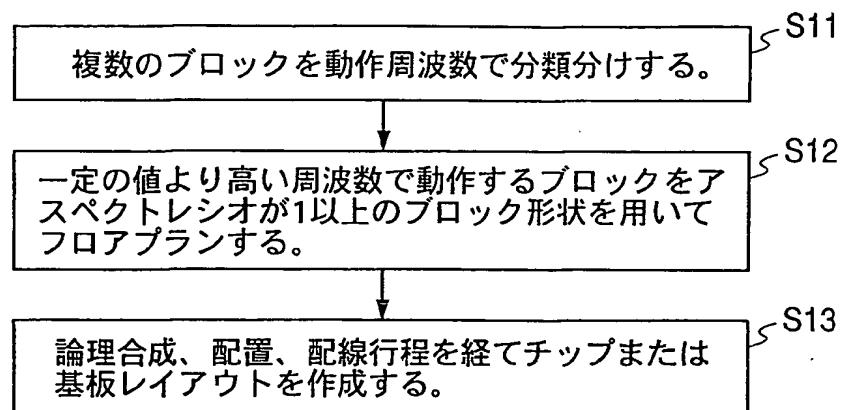
第 11 図



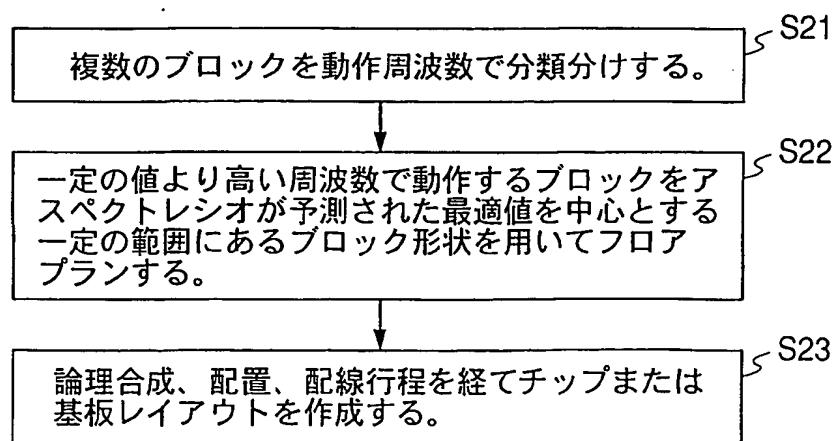
第 12 図



第 13 図

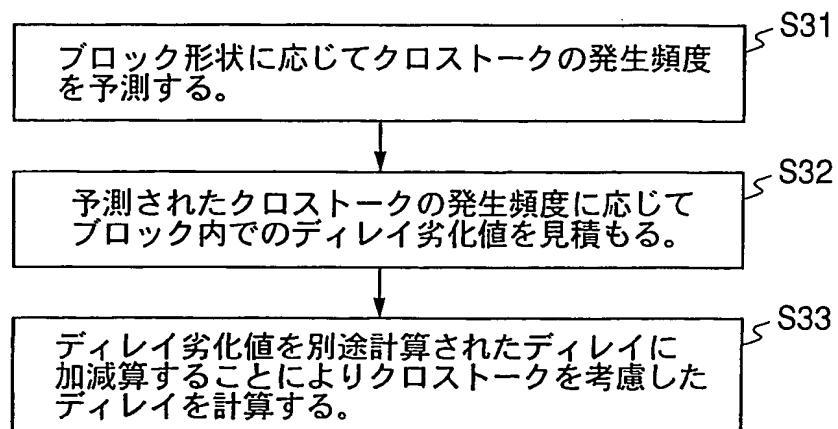


第 14 図

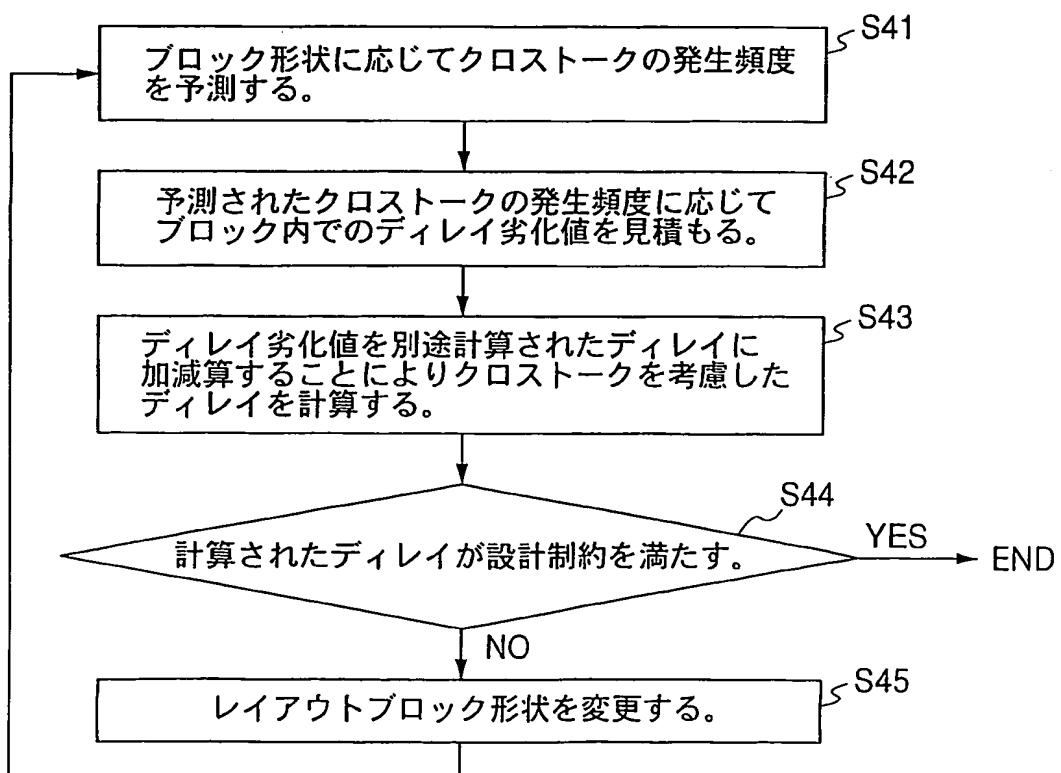


12 / 18

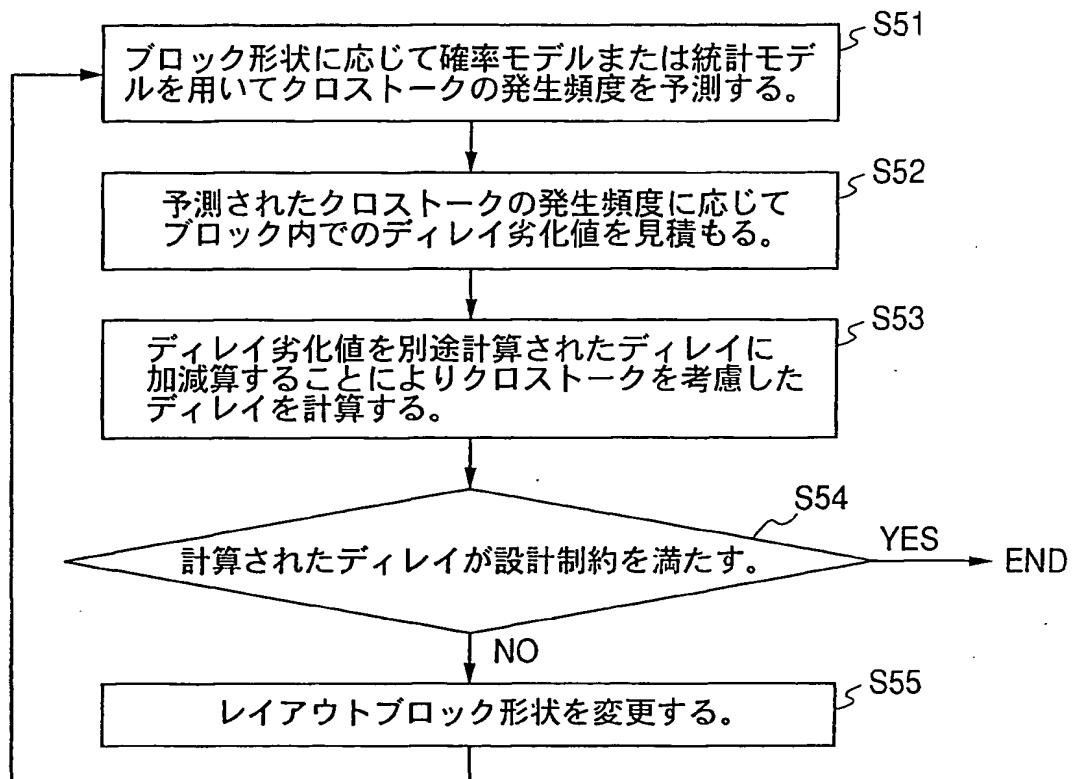
第 15 図



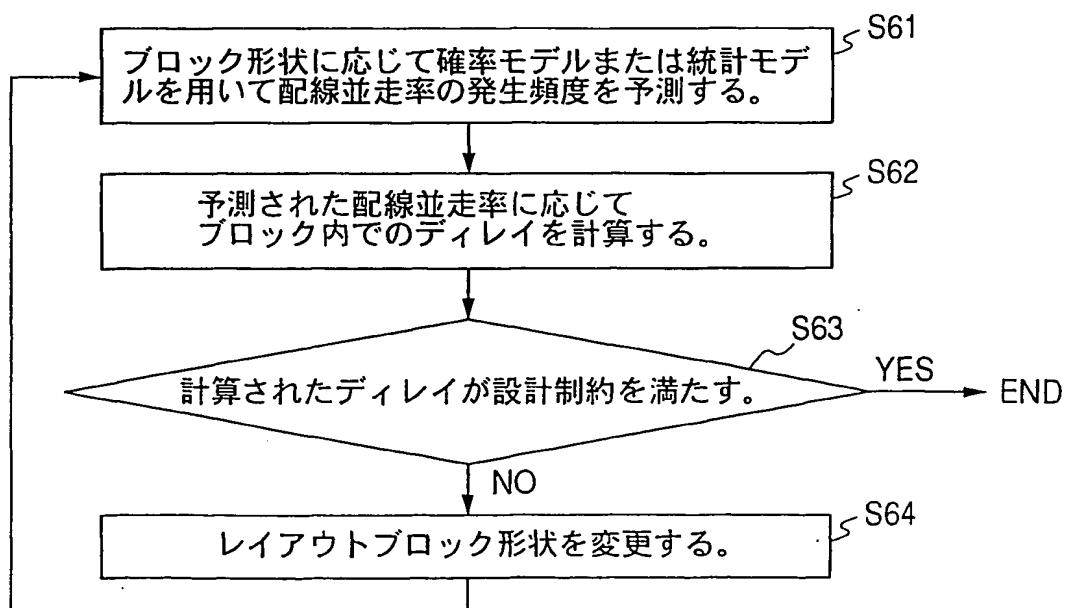
第 16 図



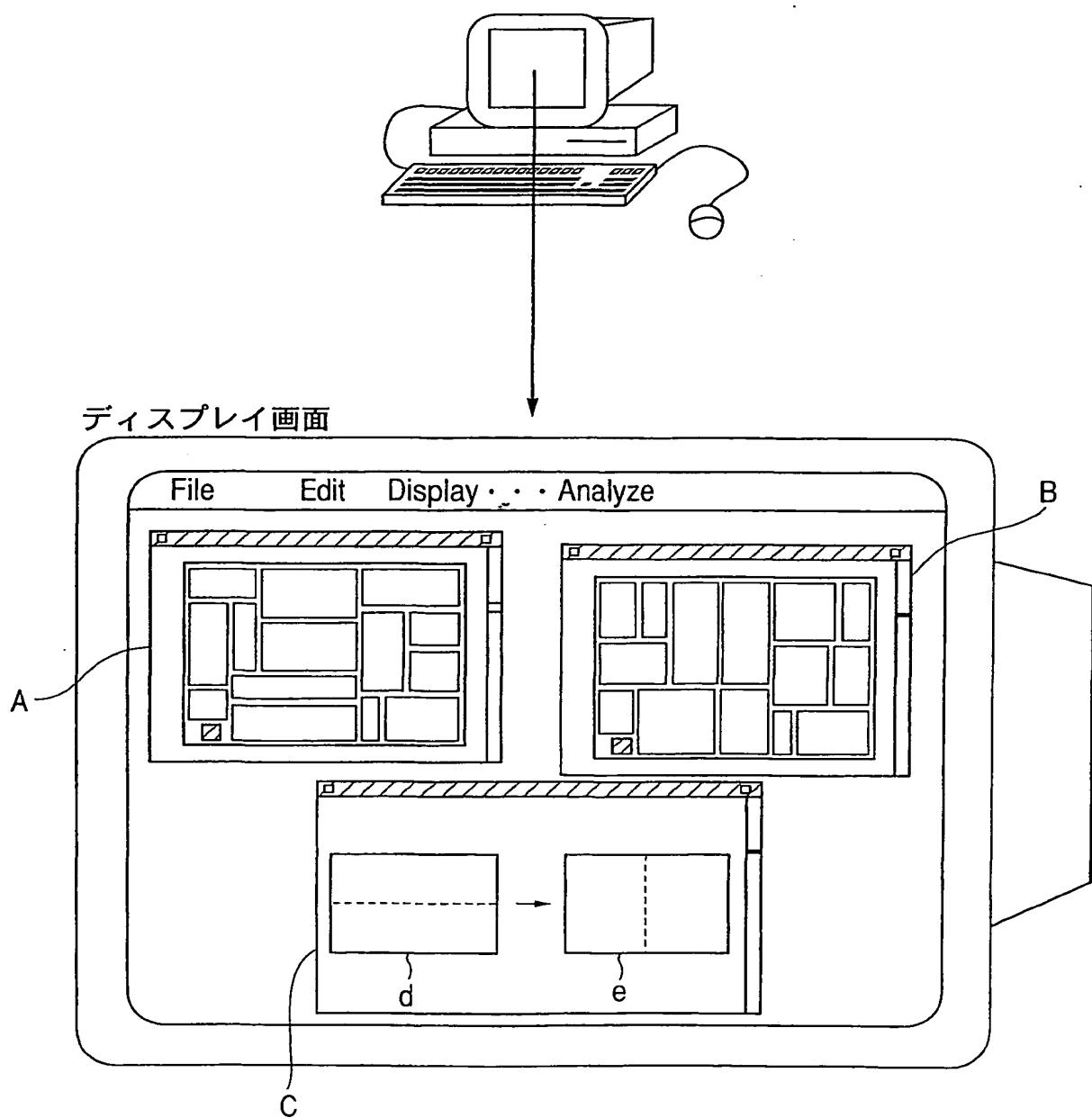
第 17 図



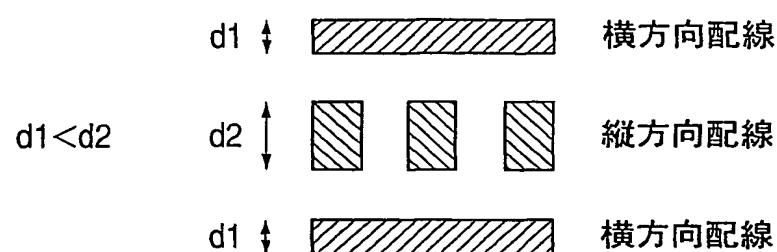
第 18 図



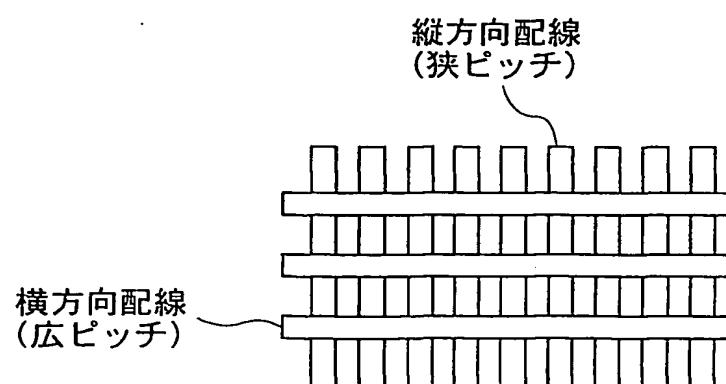
第 19 図



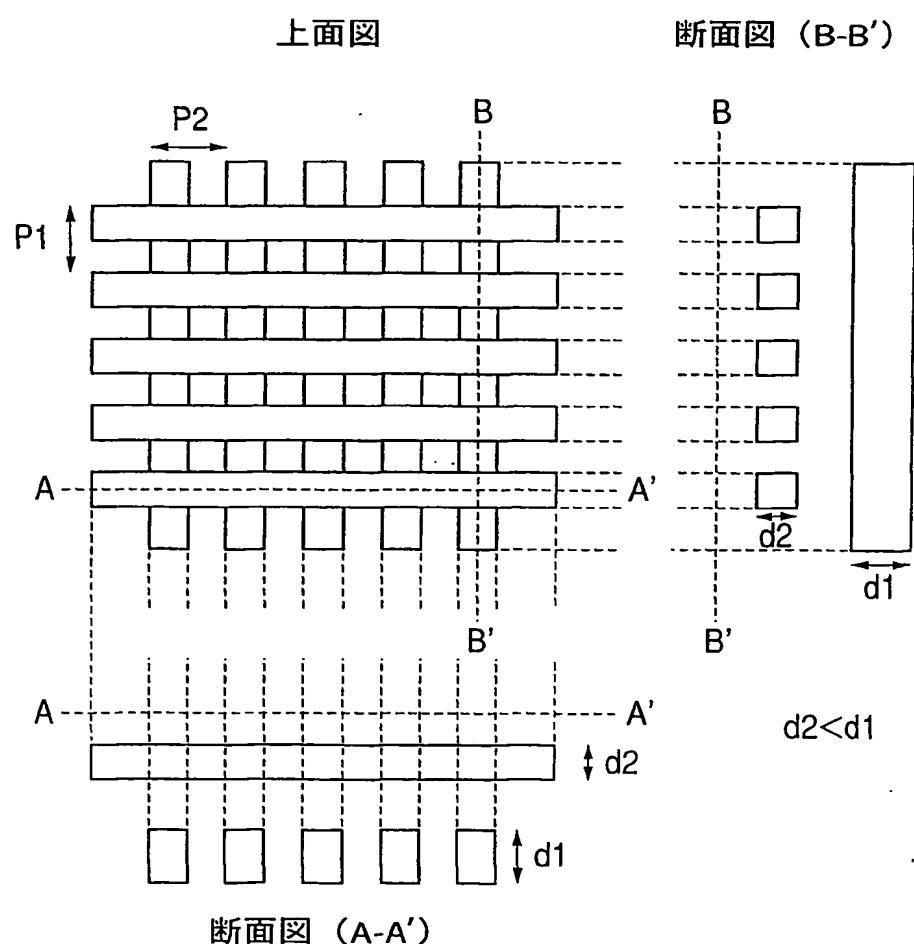
第 20 図



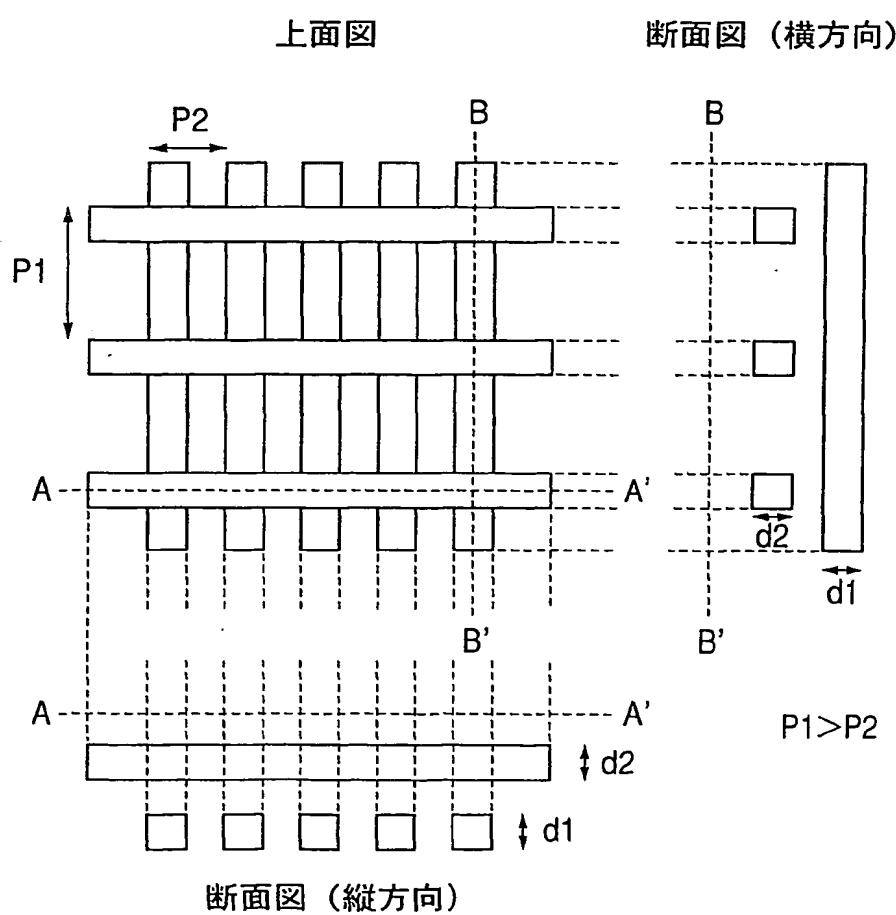
第 21 図



第 22 図

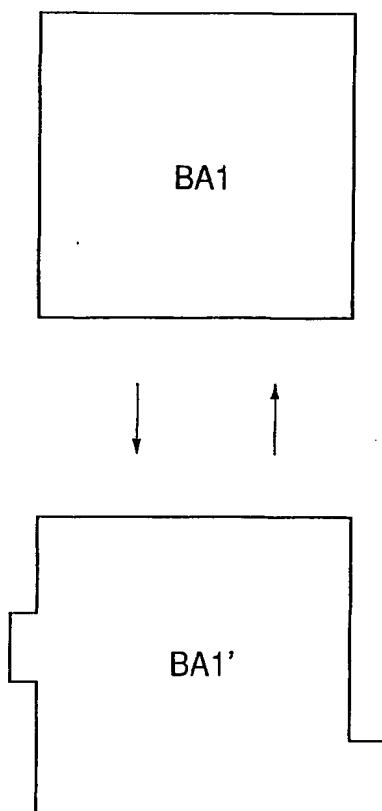


第 23 図



18 / 18

第 24 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/05407

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/82, H01L27/118

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/82, H01L27/118, H01L27/04, G06F17/50Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2001
Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 06-140505 A (Mitsubishi Electric Corporation), 20 May, 1994 (20.05.94), Par. Nos. [0027] to [0051]; Fig. 2 (Family: none)	1~5, 13~14 12
A	JP 09-293843 A (Hitachi, Ltd.), 11 November, 1997 (11.11.97), Par. Nos. [0026] to [0028] (Family: none)	1~5, 13~14 12
A	JP 05-216962 A (NEC Corporation), 27 August, 1993 (27.08.93), Par. Nos. [0006] to [0018] (Family: none)	1~5, 13~14 12
Y	JP 02-069977 A (Hitachi, Ltd.), 08 March, 1990 (08.03.90), page 7, upper right column, line 16 to page 14, upper left column, line 7 (Family: none)	6-12, 15-18
Y	JP 06-232262 A (Hitachi, Ltd.), 19 August, 1994 (19.08.94), Par. Nos. [0008] to [0013] (Family: none)	6-12, 15-18

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 17 September, 2001 (17.09.01)	Date of mailing of the international search report 02 October, 2001 (02.10.01)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
--	--------------------

Facsimile No.	Telephone No.
---------------	---------------

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/05407

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 07-169842 A (NEC Corporation), 04 July, 1995 (04.07.95), Par. Nos. [0009] to [0019] (Family: none)	6~12, 15~18

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/82, H01L27/118

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/82, H01L27/118, H01L27/04, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2001年
日本国登録実用新案公報	1994-2001年
日本国実用新案登録公報	1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A Y	JP 06-140505 A (三菱電機株式会社) 20. 5月. 1994 (20. 05. 94)、 【0027】～【0051】、図2 (ファミリーなし)	1～5, 13～14 12
A Y	JP 09-293843 A (株式会社日立製作所) 11. 11月. 1997 (11. 11. 97) 【0026】～【0028】 (ファミリーなし)	1～5, 13～14 12

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 17. 09. 01	国際調査報告の発送日 02.10.01
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 棚田 一也 4L 9361 電話番号 03-3581-1101 内線 3498

C.(続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 05-216962 A (日本電気株式会社) 27. 8月. 1993 (27. 08. 93) 【0006】～【0018】 (ファミリーなし)	1～5, 13～14
A		12
Y	JP 02-069977 A (株式会社日立製作所) 8. 3月. 1990 (08. 03. 90) 第7頁右上欄第16行～第14頁左上欄第7行 (ファミリーなし)	6～12, 15～18
Y	JP 06-232262 A (株式会社日立製作所) 19. 8月. 1994 (19. 08. 94) 【0008】～【0013】 (ファミリーなし)	6～12, 15～18
Y	JP 07-169842 A (日本電気株式会社) 4. 7月. 1995 (04. 07. 95) 【0009】～【0019】 (ファミリーなし)	6～12, 15～18